

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月16日

H 01 L 23/522  
23/556  
23/60  
23/62  
27/04H 7514-4M  
7210-4M

H 01 L 27/06 1 0 1 P

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 半導体保護装置

⑮ 特 願 平2-326495

⑯ 出 願 平2(1990)11月28日

⑰ 発 明 者 篠 原 俊 朗 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内

⑱ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

## 明 細 書

## 1. 発明の名称

半導体保護装置

## 2. 特許請求の範囲

外部からの信号が入力される入力端子と内部回路との間に直列に接続された入力保護抵抗と、アノードが前記入力保護抵抗と前記内部回路との接続点に接続され、カソードが第1端子に接続されたプルアップダイオードと、アノードが第2端子に接続され、カソードが前記入力保護抵抗と前記内部回路との接続点に接続されたプルダウンダイオードと、前記入力端子と前記第1端子との間に接続された第1のサイリスタと、前記入力端子と前記第2端子との間に接続された第2のサイリスタとを具備し、

前記内部回路を形成した基板中に、該内部回路と絶縁物によって前記基板と誘電体分離された半導体領域を形成し、前記半導体領域中に、前記第1および第2のサイリスタを形成したことを特徴とする半導体保護装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置が静電サージにより破壊されるのを防止する半導体保護装置に関する。

(従来の技術)

従来の半導体保護装置としては、例えば第5図・第6図に示したようなものがある。第5図は、P形基板に形成された従来の半導体保護装置の断面構造を示した図である。また、第6図は、従来の半導体保護装置の回路構成を示した図である。(例えば、“EOS/ESD SYMPOSIUM PROCEEDINGS, PP201-205[1988]”参照)

まず、第5図に基づいて断面構造を説明する。第5図において、190はP形基板であり、P形基板190内にはP<sup>+</sup>形領域104とN<sup>+</sup>形領域106が形成されている。さらに、P形基板<sup>190</sup>内にはN形ウェル102が形成され、<sup>N形ウェル102</sup>内にはN<sup>+</sup>形領域108とP<sup>+</sup>形領域<sup>110</sup>が形成されている。

P形基板<sup>190</sup>とN形ウェル102の上には、フィ

ールド酸化膜26および層間絶縁膜28が形成されている。そして、層間絶縁膜28上には、コンタクト孔を通してP<sup>+</sup>形領域104,110およびN<sup>+</sup>形領域106,108にそれぞれ接続された配線18,141が形成されている。

なお、配線18は、N<sup>+</sup>形領域104とP<sup>+</sup>形領域106とを接続し、内部回路(図示せず)に低電位電圧を印加するための第1端子であるV<sub>ss</sub>端子へ接続されている。配線141は、N<sup>+</sup>形領域108とP<sup>+</sup>形領域110とを接続し、外部からの信号が入力される入力端子へ接続されると共に、内部回路へも接続されている。

また、抵抗200は、P形基板<sup>190</sup>~~100~~内の寄生抵抗であり、抵抗202はN形ウェル102内の寄生抵抗である。

そして、N<sup>+</sup>形領域106をエミッタ領域とし、P形基板<sup>190</sup>~~100~~をベース領域とし、N形ウェル102をコレクタ領域とするNPNトランジスタ204が寄生的に形成される。同様に、P<sup>+</sup>形領域110をエミッタ領域とし、N形ウェル102をベース領域と

し、P形基板<sup>190</sup>~~100~~をコレクタ領域とするPNPトランジスタ206が寄生的に形成される。

さらに、P形基板<sup>190</sup>~~100~~ - N形ウェル102間のP-N接合が、ダイオード208を形成している。

次に、この半導体保護装置の回路構成を第6図に基づいて説明する。

トランジスタ206は、エミッタが入力端子に接続され、ベースが抵抗202を介して入力端子に接続され、コレクタが抵抗200を介してV<sub>ss</sub>端子に接続される。さらに、トランジスタ204は、エミッタがV<sub>ss</sub>端子に接続され、ベースがトランジスタ206のコレクタに接続され、コレクタがトランジスタ206のベースに接続されたサイリスタ209を構成している。また、ダイオード208は、カソードが入力端子に接続され、アノードがV<sub>ss</sub>端子に接続された構成となっている。

次に、従来の半導体保護装置の動作を第6図に基づいて説明する。

入力端子 - V<sub>ss</sub>端子間に印加される静電サージ(以下、これを単にサージと記す)には、以下に

示するような2つの場合があり、それぞれの場合に対する動作を示す。

(A1) V<sub>ss</sub>端子に対して入力端子が負となる場合:  
サージ電流は、入力端子からダイオード208を介してV<sub>ss</sub>端子へ流れる。

(A2) V<sub>ss</sub>端子に対して入力端子が正となる場合:  
サージ電圧がある一定値以上となるとサイリスタ209が導通状態となる。よって、サージ電流は、V<sub>ss</sub>端子からサイリスタ209を介して入力端子へ流れる。

上記の如く、ダイオード208とサイリスタ209によって、入力端子 - V<sub>ss</sub>端子間に印加されたサージから内部回路が保護される。

(発明が解決しようとする課題)

半導体保護装置には論理回路等よりなる内部回路を駆動するために、高電位電圧を印加するためのV<sub>DD</sub>端子(図示せず)と、低電位電圧を印加するためのV<sub>ss</sub>端子がある。前述したように従来の半導体保護装置にあっては、サイリスタ209が入力端子 - V<sub>ss</sub>端子間に印加されるサージから内部

回路を保護していた。しかしながら、入力端子 - V<sub>DD</sub>端子間には保護素子(サイリスタ)が存在しないために、入力端子 - V<sub>DD</sub>端子間にサージが印加された場合サージから内部回路を保護することができないという問題点があった。

この問題を解決するために、入力端子 - V<sub>ss</sub>端子間のサイリスタ209と同様に、入力端子 - V<sub>DD</sub>端子間にもサイリスタを形成する方法が考えられる。しかし、入力端子 - V<sub>DD</sub>端子間にもサイリスタを形成すると、寄生的にV<sub>DD</sub>端子 - V<sub>ss</sub>端子間にもサイリスタが必ず形成されてしまう。このため、ラッチアップしやすくなるという問題点が生ずる。以下、これをラッチアップ現象と呼ぶ。

この発明は、上記の問題点に鑑みてなされたもので、入力端子 - V<sub>ss</sub>端子間と入力端子 - V<sub>DD</sub>端子間に、基板から誘電体分離された領域中に形成されたサイリスタを夫々接続することにより、ラッチアップが発生し難い構造で、入力端子 - V<sub>DD</sub>端子間および入力端子 - V<sub>ss</sub>端子間のそれぞれに印加されるサージから内部回路を保護することが

できる半導体保護装置を提供することを目的とする。

(問題を解決するための手段)

この発明は、上記目的を達成するためになされたもので、外部からの信号が入力される入力端子と内部回路との間に直列に接続された入力保護抵抗と、アノードが入力保護抵抗と内部回路との接続点に接続され、カソードが第1端子に接続されたプルアップダイオードと、アノードが第2端子に接続され、カソードが入力保護抵抗と内部回路との接続点に接続されたプルダウンダイオードと、入力端子と第1端子との間に接続された第1のサイリスタと、入力端子と第2端子との間に接続された第2のサイリスタとを具備し、内部回路を形成した基板中に、絶縁物によって基板と誘電体分離された半導体領域を形成し、半導体領域中に、第1および第2のサイリスタを形成した構成の半導体保護装置とした。

(作用)

内部回路を形成した基板と誘電体分離された半

導体領域中に、第1および第2のサイリスタを形成し、入力端子と第1端子との間に第1のサイリスタを接続し、入力端子と第2端子との間に第2のサイリスタを接続したことにより、ラッチアップが発生し難い構造で入力端子-第1端子の間および入力端子-第2端子の間に低インピーダンスのサージ電流経路を形成し、半導体保護装置のサージ耐性を向上させた。

(実施例)

以下、具体的な実施例に基づいて説明する。

第1図～第3図は、この発明の1実施例を示す図である。第1図は、この実施例における半導体保護装置の平面構成を示した図である。また、第2図は、第1図中に示したA<sub>1</sub>-A<sub>2</sub>線の断面構造を示した図である。そして、第3図は、この実施例の回路構成を示した図である。

まず、この実施例のデバイス構造を第1図および第2図に基づいて説明する。

第1図において、100はN形基板であって、N形基板100上には入力端子10が形成されている。

入力端子10には、保護抵抗12を介して配線14が接続され、配線14は内部回路(図示せず)へ接続されている。

また、16は特許請求の範囲における第2端子に相当するV<sub>DD</sub>端子に接続されている配線であり、18は特許請求の範囲における第1端子に相当するV<sub>SS</sub>端子に接続されている配線である。

N形基板100は、N<sup>+</sup>形領域32を介して配線16に接続されている。そして、N形基板100中には、P<sup>+</sup>形領域34が形成され、P<sup>+</sup>形領域34は配線14に接続されている。

よって、N形基板100をカソードとし、P<sup>+</sup>形領域34をアノードとするプルアップダイオード300が形成される。

また、N形基板100中にP<sup>+</sup>ウェル領域36が形成されており、P形ウェル領域36中にP<sup>+</sup>領域38が形成されている。そして、P形ウェル領域36は、P<sup>+</sup>形領域38を介して配線18に接続されている。さらに、P形ウェル領域36中にはN<sup>+</sup>形領域40が形成され、N<sup>+</sup>形領域40は配線14に接続されてい

る。

よって、P形ウェル領域36をアノードとし、N<sup>+</sup>形領域40をカソードとするプルダウンダイオード301が形成される。

SOI領域24中にN形領域24-1とP形領域24-2が形成され、N形領域24-1中にはP<sup>+</sup>形領域24-11およびN<sup>+</sup>形領域24-12が形成されている。同様に、P形領域24-2にはP<sup>+</sup>形領域24-21およびN<sup>+</sup>形領域24-22が形成されている。

そして、P<sup>+</sup>形領域24-11およびN<sup>+</sup>形領域24-12が入力端子10に接続され、P<sup>+</sup>形領域24-21およびN<sup>+</sup>形領域24-22が配線18に接続される。

したがって、SOI領域24中には、N形領域24-1の寄生抵抗310と、P形領域24-2の寄生抵抗311が存在する。さらに、P<sup>+</sup>形領域24-11をエミッタとし、N形領域24-1をベースとし、P形領域24-2をコレクタとするPNPトランジスタ312と、N<sup>+</sup>領域24-22をエミッタとし、P形領域24-2をベースとし、N形領域24-1をコレクタとするNPNトランジスタ313が形成される。

S O I 領域44中にN形領域44-1とP形領域44-2が形成され、N形領域44-1にはP<sup>+</sup>形領域44-11およびN<sup>+</sup>形領域44-12が形成されている。そして、P<sup>+</sup>形領域44-11およびN<sup>+</sup>形領域44-12が配線16に接続され、P<sup>+</sup>形領域44-21およびN形領域44-22が入力端子10に接続される。

したがって、S O I 領域44中には、N形領域44-1の寄生抵抗320と、P形領域44-2の寄生抵抗321が存在する。さらに、P<sup>+</sup>形領域44-11をエミッタとし、N形領域44-1をベースとし、P形領域44-2をコレクタとするPNPトランジスタ322と、N<sup>+</sup>形領域44-22をエミッタとし、P形領域44-2をベースとし、N形領域44-1をコレクタとするNPNトランジスタ323が形成される。

また、第2図において、100はN形基板であって、N形基板100の中には、絶縁分離領域22、42によってN形基板100と誘電体分離されているS O I 領域24、44が形成されている。そして、N形基板100上にはフィールド絶縁膜26および層間絶縁膜28が形成されている。この層間絶縁膜28上

310、311より、第1のサイリスタである入力端子-V<sub>ss</sub>端子間のサイリスタ302が構成される。

なお、トランジスタ322は、エミッタがV<sub>DD</sub>端子に接続され、ベースが抵抗320を介してV<sub>DD</sub>端子に接続され、コレクタが抵抗321を介して入力端子106に接続される。さらに、トランジスタ323は、エミッタが入力端子106に接続され、ベースがトランジスタ322のコレクタに接続され、コレクタがトランジスタ322のベースに接続されたサイリスタ303を構成している。

よって、トランジスタ322、323および抵抗320、321より、第1のサイリスタであるV<sub>DD</sub>端子-入力端子間のサイリスタ303が構成される。

次に、S O I 領域の製造方法を第4図に基づいて説明する。なお、第4図は、製造方法を説明するための断面図である。

(1) 第4図(a)に示すように、シリコン結晶における{100}面であるN形半導体基板100の表面に、絶縁分離領域22、42(詳しくは、後述する。)を形成する部分の上面を除くようにマスク401を

に、入力端子10である電極パッドおよび配線14、16、18が形成され、さらに保護膜30が電極パッド上を除いて全面に形成されている。

次に、この実施例の回路構成を第3図に基づいて示す。

抵抗12は、内部回路(図示せず)への配線14と入力端子10の間に接続されている。そして、ダイオード300は、アノードが配線14に接続され、カソードがV<sub>DD</sub>端子に接続されている。また、ダイオード301は、カソードが配線14に接続され、アノードがV<sub>ss</sub>端子に接続されている。

また、トランジスタ312はエミッタが入力端子106に接続され、ベースが抵抗310を介して入力端子106に接続され、コレクタが抵抗311を介してV<sub>ss</sub>端子に接続される。さらに、トランジスタ313は、エミッタがV<sub>ss</sub>端子に接続され、ベースがトランジスタ312のコレクタに接続され、コレクタがトランジスタ312のベースに接続されたサイリスタ303を構成している。

よって、トランジスタ312、313および抵抗

形成する。なお、マスク401の開口部(つまり、絶縁分離領域22を形成する部分)の形状は、長方形(正方形を含む)であり、該長方形のそれぞれの辺は、すべて<110>方向を向いている。

(2) 第4図(b)に示すように、例えばRIE(リアクティブ・イオン・エッチング)などの等方性エッチングを用いて、N形半導体基板100のトレンチ・エッチングを行って、溝402、403を形成する。なお、溝402、403の底面aはシリコン結晶における{100}面であって、溝402、403の側壁bはシリコン結晶における{100}面である。

(3) 第4図(c)に示すように、例えば水酸化カリウム(KOH)溶液などのアルカリ系異方性エッチング溶液を用いて溝402、403の異方性エッチングを行う。その結果形成されるエッチング孔404、405の壁面cは、シリコン結晶における{111}面となる。

(4) 第4図(d)に示すように、エッチング孔404、405の壁面cを、例えば熱酸化させるなどして酸化膜50、51を形成する。よって、酸化膜50、

51によりN形半導体基板100と完全に誘電体分離されたSOI領域24, 44が形成される。

(5) 第4図(e)に示すように、エッチング孔404, 405にポリシリコンなどを充填して絶縁分離領域22, 42を形成する。その後、マスク401などを取り除き、N形半導体基板100の表面を平坦化する。

上記のごとく形成したSOI領域は、一般に知られているSOI形成法(例えば、ビームアニール法、ゾーンメルト法、SIMOX法、固相エピタキシャル成長法など)を用いて形成したSOI領域よりもSOI領域の厚さを厚くすることができ、熱容量を大きくすることができ、サージに対する耐量を向上させることが可能となる。

次に、第3図に示した回路図に基づいて動作を説明する。

入力回路に印加されるサージには、入力端子-V<sub>DD</sub>端子間に印加される場合と、入力端子-V<sub>SS</sub>端子間に印加される場合があり、それぞれの場合

301を介してV<sub>SS</sub>端子から入力端子へ流れる。

上記の如く、プルアップ・プルダウンダイオード300, 301とサイリスタ302, 303を用いたことによって、入力端子-V<sub>DD</sub>端子間および入力端子-V<sub>SS</sub>端子間に印加されたサージを低インピーダンスで逃がして、内部回路を保護することができる。

さらに、サイリスタ302, 303をN形基板100と誘電体分離されたSOI領域中に形成したために、サイリスタ302, 303をN形基板100中に形成した場合V<sub>DD</sub>端子-V<sub>SS</sub>端子間に形成されるサイリスタが形成されず、サージ印加によるラッチアップが発生し難くなる。

#### (発明の効果)

以上、具体的な実施例に基づいて説明してきたように、基板と誘電体分離されたSOI領域中にサイリスタを形成し、そのサイリスタを入力端子-V<sub>DD</sub>端子間および入力端子-V<sub>SS</sub>端子間のそれぞれに接続した構成としたために、ラッチアップし難い構成で、サージから内部回路を保護するこ

に対する保護動作を示す。

(B1) 入力端子-V<sub>DD</sub>端子間にサージ印加される場合

- 1) 入力端子が正となる場合：サージ電流は、入力保護抵抗12およびプルアップダイオード300を介して入力端子からV<sub>DD</sub>端子へ流れる。
- 2) 入力端子が負となる場合：サージ電圧が一定値以上になると、サイリスタ302が導通状態となる。このため、サージ電流は、入力端子からサイリスタ302を介してV<sub>DD</sub>端子へ流れる。

(B2) 入力端子-V<sub>SS</sub>端子間にサージが印加される場合

- 1) 入力端子が正となる場合：サージ電圧が一定値以上になると、サイリスタ303が導通状態となる。このため、サージ電流は、入力端子からサイリスタ303を介してV<sub>SS</sub>端子へ流れる。
- 2) 入力端子が負となる場合：サージ電流は、入力保護抵抗12およびプルダウンダイオード

とができ、半導体装置の信頼性を向上することができるという効果が得られる。

#### 4. 図面の簡単な説明

第1図は、この発明の1実施例を示す平面図、第2図は、この発明の1実施例を示す断面図、第3図は、この発明の1実施例を示す回路図、第4図は、この発明の1実施例の製造方法を説明するための断面図、

第5図は、従来例を示す断面図、

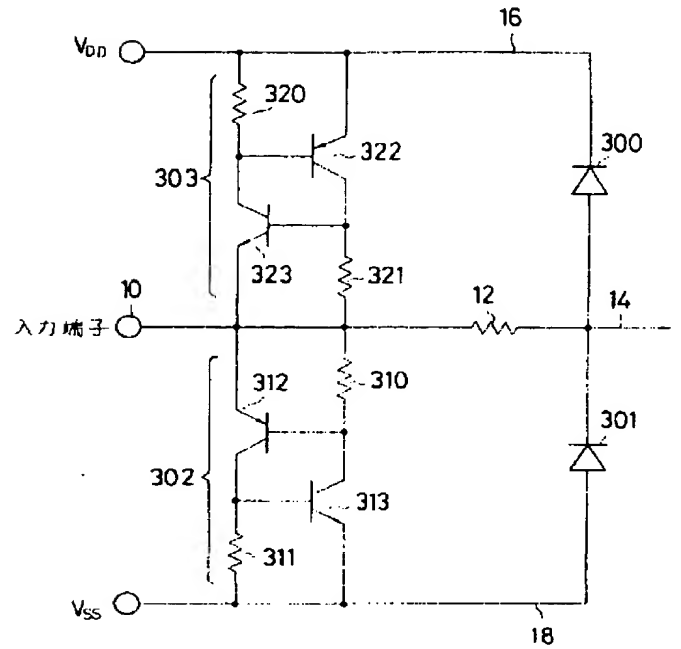
第6図は、従来例を示す回路図である。

(100)：N形基板、(190)：P形基板、(12)：保護抵抗、(14, 16, 18)：配線、(36, 24-1, 44-2)：P形領域、(34, 40, 24-11, 24-21, 44-12, 44-21, 104, 110)：P<sup>+</sup>形領域、(24-2, 44-1, 102)：N形領域、(32, 38, 24-12, 24-21, 44-12, 44-22, 106, 108)：N<sup>+</sup>形領域、(22, 42)：絶縁分離領域、(26)：フィールド絶縁膜、(28)：層間絶縁膜、(30)：保護膜、(50, 51)：酸化膜、(200, 202, 310, 311, 320, 321)：抵抗、(208, 300, 301)：ダイオード、(204, 206, 312,

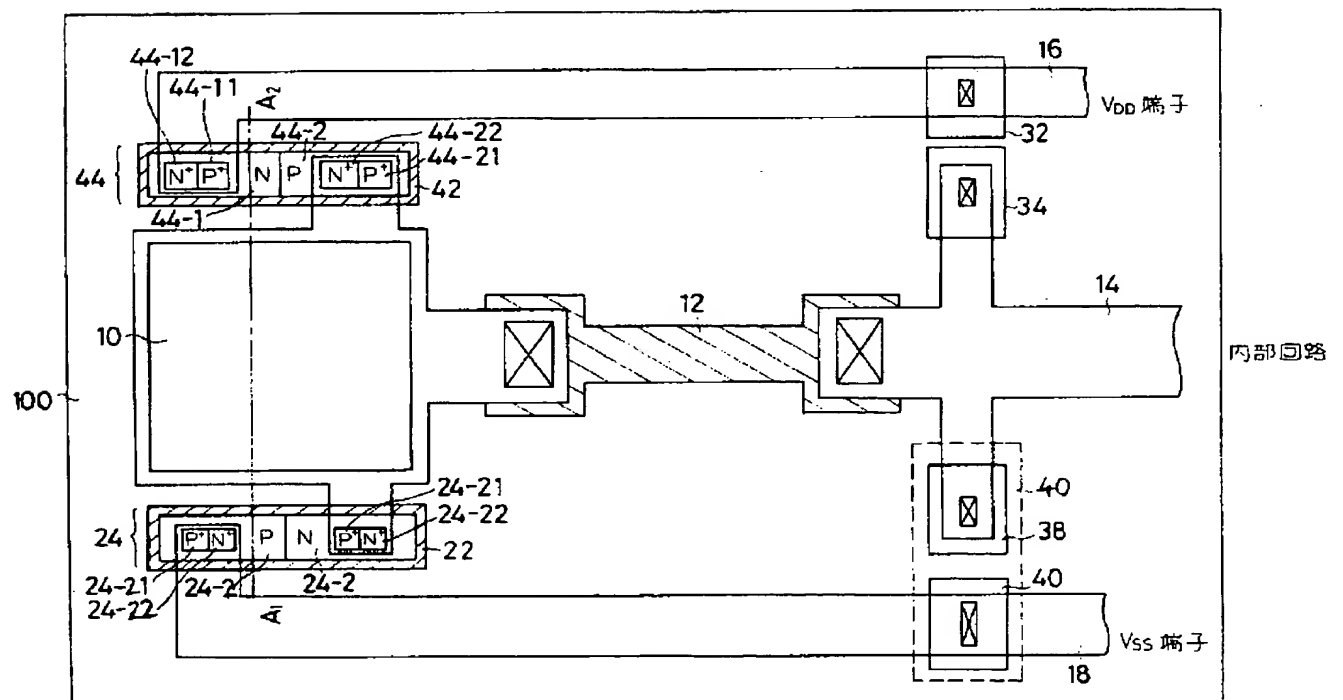
313, 322, 323): トランジスタ、(209, 302, 303): サイリスタ。

第 3 図

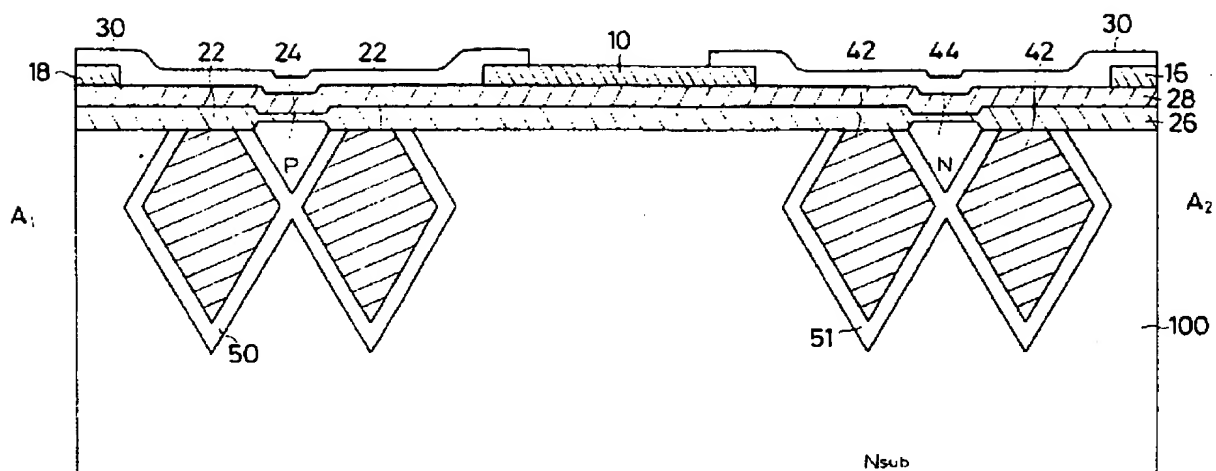
特許出願人 日産自動車株式会社



第 1 図

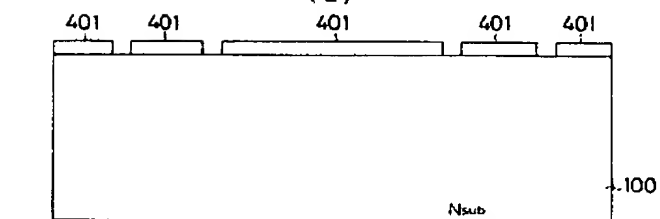


第 2 図

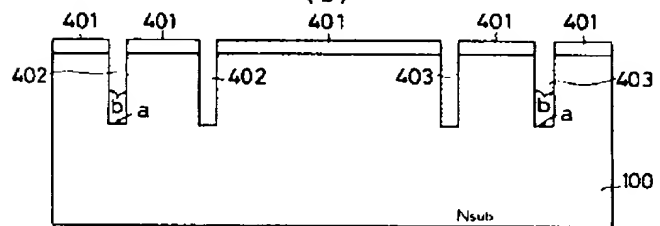


第 4 図

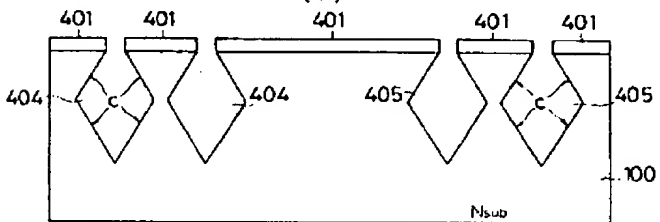
(a)



(b)

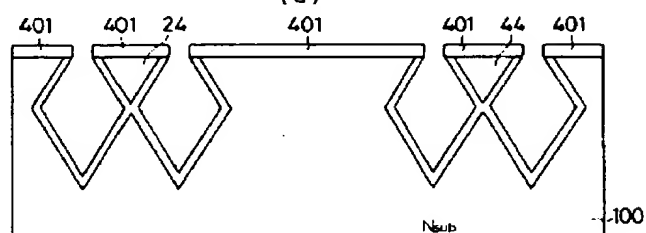


(c)

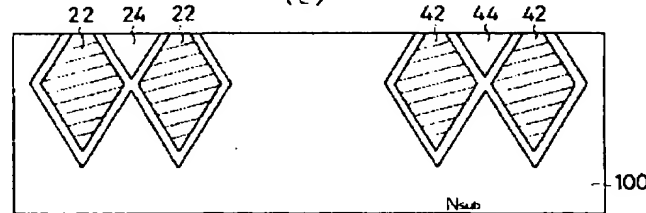


第 4 図

(d)

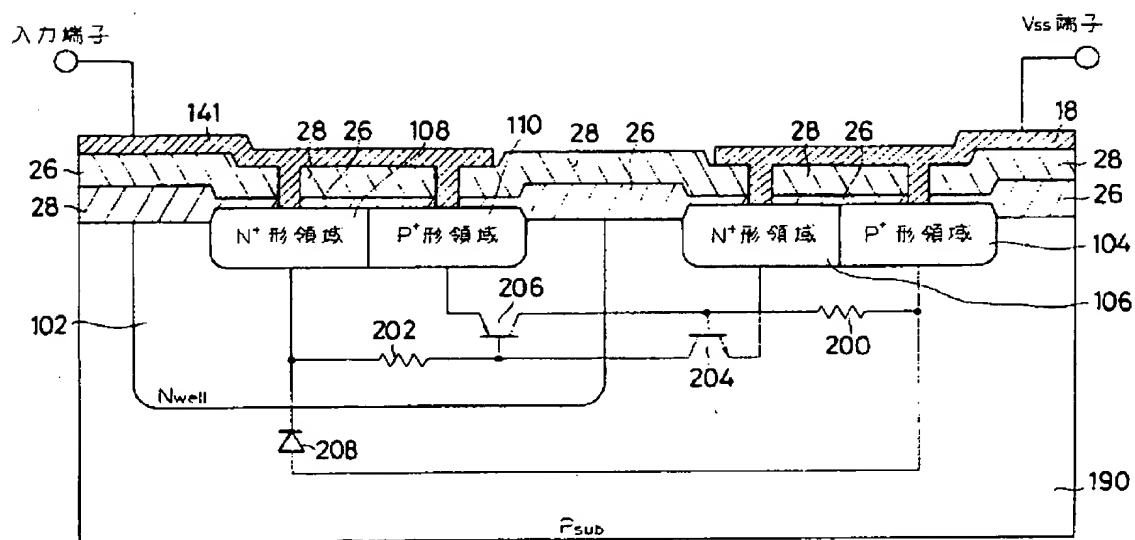


(e)





第 5 図



第 6 図

